

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-242016
 (43)Date of publication of application : 21.09.1993

(51)Int.Cl.

G06F 13/36

(21)Application number : 04-044425

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 02.03.1992

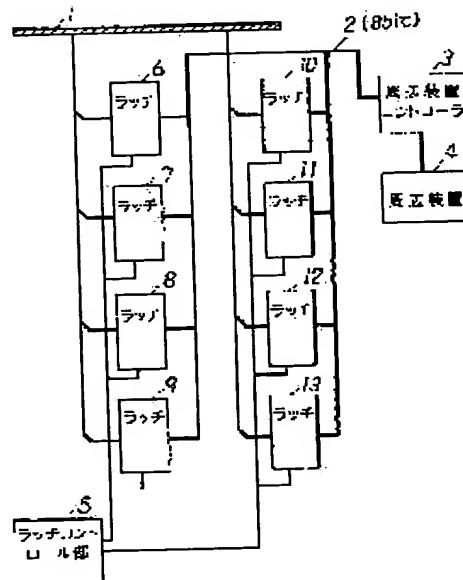
(72)Inventor : SAKONJU MASATO
YANO HIDETO
NAKAO MITSUTOSHI
FURUKAWA YOSUKE

(54) BUS WIDTH CONVERTING CIRCUIT

(57)Abstract:

PURPOSE: To execute a data transfer at a high speed by providing plural pieces of exclusive latches and a latch control part in the transfer direction of data.

CONSTITUTION: In the case of sending data to a peripheral equipment side from a system bus side, first of all, the right of using of a system bus 1 of a computer main body is obtained. Thereafter, the data of 32-bit width is latched by once by latches 10, 11, 12 and 13. After this latch, the system bus 1 is released. Thereafter, in accordance with a data bus 2 of 8-bit width of a peripheral equipment controller 3, first of all, by controlling the latch 10 by a latch control part 5, the data is transferred. Subsequently, the latch 11 is controlled by the latch control part 5, and the data is transferred. In such a way, by controlling successively the latches 10, 11, 12 and 13 by the latch control part 5, the data is transferred.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

2003/08/19 12:19

(19)日本国特許庁 (JP) (12)公開特許公報 (A)

(11)特許出願公開番号 (10)特開平5-242016

(43)公開日 平成5年(1993)9月21日

(5)InnCL' 特別記号 F1 技術表示箇所
C 0 6 F 13/36 3 2 0 B 8072-5B

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-44425

(22)出願日 平成4年(1992)3月2日

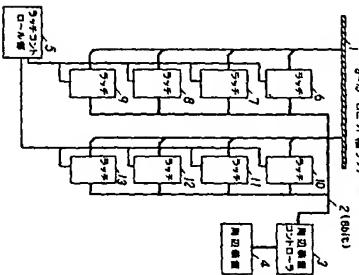
(71)出願人 松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 左近光 正人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内(73)発明者 矢野 英人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内(74)代理人 弁理士 小鶴治 明 (外2名)
近藤貢に就く

(54)【発明の名前】 バス輻変換回路

(55)【要約】 各種コンピュータに使用される周辺装置と、その周辺装置とコンピュータ本体との間ににおいてデータ転送を行うときに、従来の周辺装置のデータバスのバス幅に依存していたデータ転送の低速化を解消し、コンピュータ本体のシステムバスのデータバス方向と、周辺装置コントローラ3のデータバス方向との間ににおいてデータバスと周辺装置コントローラ3のデータバス方向の間にデータバスの高速化に追従できる高速データ転送を目的とする。コンピュータ本体のシステムバスのデータバス方向と、周辺装置コントローラ3のデータバス方向との間にデータバスの高速化を実現する。



(3)

ツフア15、16、17、18を双方面バックアコント部14により制御することにより、データ転送を行

う。[0007]このような従来の手段においては、システムバス側のデータバス幅にかかわらず、周辺装置間のデータバス幅単位でデータ転送が行なわれる。

[0008] [発明の解決しようとする課題] このような従来の構成

では、コンピュータ本体のシステムバスの高速化に

伴い、周辺装置コントローラのデータバスによってデータ転送速度が削減されてしまい、コンピュータシステム

としての全体の高速化は望めない。[0009] 本発明は、上記の課題を解決するもので、高

速のデータ転送が可能なバス幅変換回路を提供すること

を目的とする。

[0010] [課題を解決するための手段] 本発明は上記の目的を達

成するため、コンピュータ本体のシステムバスのデータバスから周辺装置コントローラのデータバス幅の間ににおいて、データバス幅コントローラのデータバスからコンピュータ本体のシステムバスのデータバスのデータバス幅の間ににおいて、データバス幅を個別に独立に制

御することによって高速転送を実現する。

[0011] [作用] 本発明は上記の構成において、周辺装置コントローラのデータバス幅に依存せずに、コンピュータ本体のシステムバスのデータバス幅に對応した高速データ転送が可能となる。

[0012] [実施例] 以下本発明の一実施例のバス幅変換回路につ

いて図面を参照しながら説明する。[0013] 図1は本発明の一実施例のバス幅変換回路

の構成図をブロック図で示す。図において、1はコンピュータ本体のシステムバスの32ビット幅のデータバス

を、2は周辺装置コントローラの8ビット幅のデータバスを表わしており、周辺装置コントローラ3と、周辺装置

4と、8ビット幅のラップ6、7、8、9によりデータをラップ

と周辺装置間のデータ転送時間2-2-1、2-2-2、2

2-3、2-2-4でラップする。つぎに、1-9の間ににおいて、コンピュータ本体のシステムバスの使用権を得

る。その後シーケンス6、7、8、9とデータバスをシステムバスとラップ間のデータ転送時間2-1間に送出する。本実施

例では従来例に比べ、コンピュータ本体のシステムバス

のデータバス1と周辺装置コントローラの8ビット幅のデータバス2との間ににおけるデータ転送方法は、システム

バス側から周辺装置側にデータを送る場合、まずコンピュータ本体のシステムバスの使用権を得る。その後3

とローラ部5によりデータを転送する。その後で3

2ビット幅のデータを1回でラップし、1-1、1-2、1-3によりラップする。このラップ後システムバスは解

放される。この後、周辺装置コントローラ3のBビット

のデータバス2に応じて、まずラップ10をラップコ

ントローラ部5により制御してデータを転送する。つぎ

に、ラップ11をラップコントローラ部5により制御し、データを転送する。このように順次ラップ10、11、12

(4)

有効なことはいまでもない。

[0018] [発明の効果] 以上の実施例から明かのように、データの転送方向に専用の複数個のラップヒッチャントローラ部を設けることによって、データ転送の高速化を図ることにより、さらにコンピュータ本体のシステムバスの占有時間は減少させることによりコンピュータシステム全体の性能を向上させることができる。

[図面の簡単な説明]

[図1] 本発明の実施例のバス幅変換回路の構成を示す

プロック図

[図2] 本発明の実施例の動作の遷移を示す信号図

[図3] 従来のバス幅変換回路の構成を示すプロック図

[図4] 従来のバス幅変換回路の動作遷移を示す信号図

5

【符号の説明】

1 コンピュータ本体のシステムバスの32ビット幅のデータバス

2 周辺装置コントローラの8ビット幅のデータバス

3 周辺装置コントローラのラップコントローラ

4 ラップコントローラ部

5 ラップコントローラ部

6 8ビット幅ラップ

7 8ビット幅ラップ

8 8ビット幅ラップ

9 8ビット幅ラップ

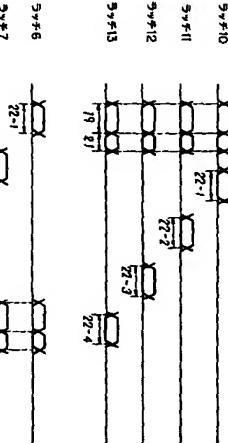
10 8ビット幅ラップ

11 8ビット幅ラップ

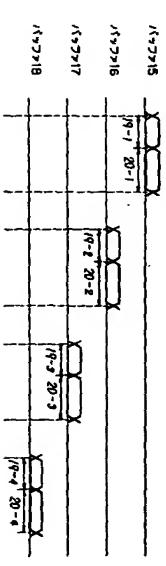
12 8ビット幅ラップ

13 8ビット幅ラップ

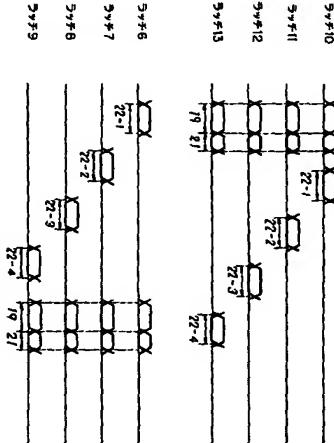
[図2]



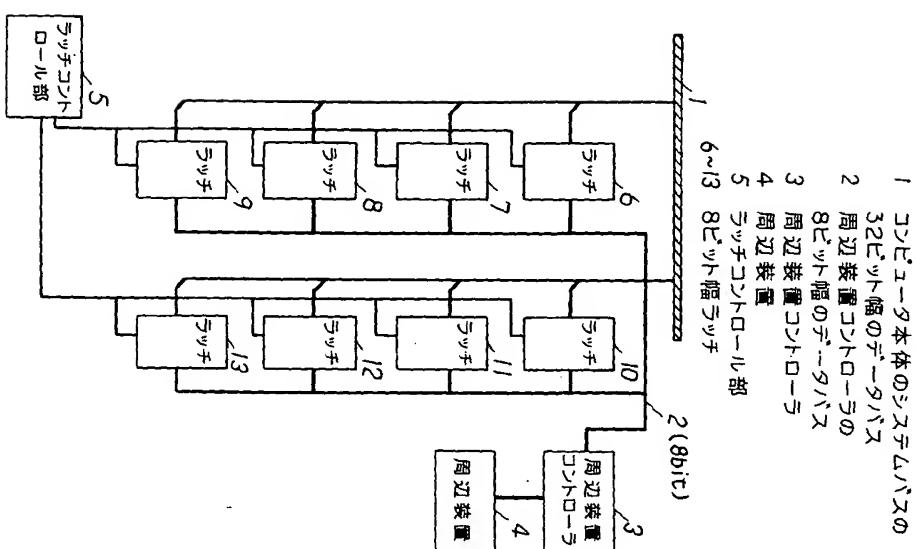
[図3]



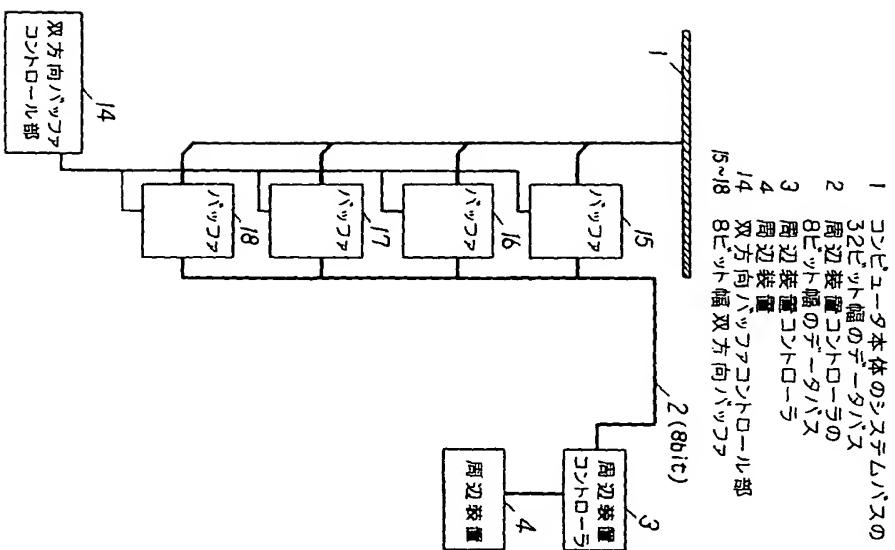
[図4]



(5)



(6)



フロントページの続き

(72)発明者 古川 洋介
大阪府門真市大字門真1006番地 松下電器
産業株式会社内